

COORDINACIÓN DE INVESTIGACIÓN Y POSGRADO UNIVERSIDAD AUTÓNOMA DE ZACATECAS

Informe semestral de proyecto de investigación

DATOS GENERALES

DATOS PERSONALES

Nombre del investigador responsable: M. I. A. Oscar Osvaldo Ordaz García

Nombre del investigador colaborador: Dr. José Guadalupe Arceo Olague.
Dr. Roberto Solís Robles
M. C. Víctor Martín Hernández-Dávila (C. A. Radio Biología)
Dra. Gabriela de Jesús Córdoba Lara.

Título del proyecto de investigación: Desarrollo en un *FPGA*, de una red de interconexión de memoria de un *GPU*.

Clave del Proyecto (registro UAZ): UAZ-2016-37145

Fecha de inicio: Agosto 2016

Fecha de término: Julio 2017

Horas dedicadas al proyecto: Se solicita Descarga Académica de 10 H. S. M.

Unidad Académica: Ingeniería Eléctrica

Periodo del Informe: Agosto – Noviembre 2016

Teléfono: (492) 92 5-66-90 Ext. 4056

Fax:

Correo electrónico: oscarord27@hotmail.com

Grado estimado de avance: 40%

AVANCE DEL PROYECTO

Acciones realizadas:

De acuerdo con el cronograma de trabajo reportado en el registro del proyecto, se cubrieron los puntos indicados hasta el mes de Junio, los cuales son:

1. Revisión de literatura para analizar el funcionamiento de la arquitectura de *GPGPU*.
2. Identificar la forma de interconexión de los *Streaming Multiprocessor (SM)* y de los *Scalar Processor (SP)* para unir los bancos de la memoria compartida en forma simultánea.
3. Diseñar de forma óptima de la red de interconexión de memoria de un *GPU* que soporte conflictos de acceso en un *FPGA*.
4. Estancia académica en el Departamento de "Arquitectura de Computadores, Electrónica y Tecnología Electrónica" de la Universidad de Córdoba en España, en el periodo comprendido entre el 15 de octubre y el 21 de noviembre del 2016, para la profundización del proyecto de investigación en el que se colabora en vinculación la Universidad Autónoma de Zacatecas y la Universidad de Córdoba.

Resultados obtenidos:

- Recopilación de literatura para análisis, y determinar la estructura, organización de la arquitectura computacional y el funcionamiento de un *GPGPU*.
- Determinación de la arquitectura *Streaming Multiprocessor (SM)*.
- Diseño de forma esquemática y con ayuda de lenguaje de descriptivo de hardware de una red de interconexión de memoria de un *GPU*, para soportar conflictos de acceso a memoria
- Dirección de tesis de maestría con avance del 70% titulada "*Diseño e implementación de un analizador multicanal para espectrometría nuclear con FPGA utilizando Vivado*", para diseñar e implementar un sistema de análisis multicanal para espectrometría nuclear con *FPGA* utilizando *Vivado*.
- Dirección de tesis de licenciatura con avance del 40% titulada "*Control del tráfico vehicular implementado en una FPGA*" para la implementación de un prototipo de control de tráfico vehicular en un cruce, utilizando una *FPGA*.
- Dirección de tesis de licenciatura con avance del 40% titulada "*Mejora en la adaptación del voltaje de entrada para ADC's y la decodificación de datos en FPGA*", para diseñar e implementar un circuito que permita utilizar el rango de voltaje de los *ADC's* de forma precisa, así como también mejorar la decodificación de las variables para una mejor visualización de las mediciones de la variables de interés haciendo uso de una placa de desarrollo *Spartan 3E Starter Board Xilinx* con un *FPGA XC3S500E* de 500K.
- Dirección de tesis de licenciatura con avance del 35% titulada "*Sistema para la obtención de datos de presión, flujo y nivel de agua mediante Galileo*", para desarrollar un sistema basado en un micro controlador Galileo el cual obtendrá las entradas y mostrará los datos mediante un display, una página web y se podrá consultar mediante Telegram.
- Dirección de tesis de licenciatura con avance del 25% titulada "*Sistema de Iluminación Inteligente en Intel Galileo para el ahorro del consumo de energía*", para desarrollar un sistema de iluminación inteligente para el ahorro de consumo de energía.
- Dirección de tesis de licenciatura con avance del 15% titulada "*Control de acceso de una puerta automática usando RFID y aspectos de internet de las cosas*", para diseñar un sistema de control de acceso a instalaciones de un edificio considerando aspectos de internet de las cosas.
- Dirección de tesis de licenciatura con avance del 10% titulada "*Implementación de una alarma de casa usando aspectos del internet de las cosas*", para implementar la alarma de una casa usando tarjeta Intel Galileo y las siguientes aplicaciones, se usara *dweepy* para almacenar los datos recogidos por la tarjeta y los sensores además se utilizara la aplicación *Telegram* para móviles para enviar notificaciones del sistema al usuario.

Contribución Técnica:

- La descripción en lenguaje descriptivo de hardware "*VHDL*" y de manera esquemática con bloques primitivos, de un *Streaming Multiprocessor (SM)* para determinar la cantidad de recursos utilizados por el dispositivo lógico programable y optimizar del diseño.
- Conocimiento del sistema de comunicación e interconexión de *GPGPU*, mediante el uso de una memoria compartida desarrollada en forma de bancos.